

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 2日

出 願 番 号

Application Number:

特願2002-226741

[ST.10/C]:

[JP 2002-226741]

出 願 人

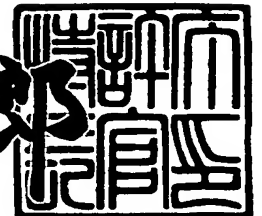
Applicant(s):

三洋電機株式会社

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3038553

【書類名】 特許願

【整理番号】 KIB1020045

【提出日】 平成14年 8月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 7/0045

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会
社内

 【氏名】 清瀬 雅司

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会
社内

 【氏名】 白石 卓也

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100068755

 【弁理士】

 【氏名又は名称】 恩田 博宣

【選任した代理人】

 【識別番号】 100105957

 【弁理士】

 【氏名又は名称】 恩田 誠

【手数料の表示】

 【予納台帳番号】 002956

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9800575

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 PLL回路及びデータ記録制御装置

【特許請求の範囲】

【請求項1】 制御電圧に応じた発振クロックを出力する電圧制御発振器と、
第1の周期を有する第1の基準信号に応じて前記発振クロックの周波数を制御する第1のループと、

前記第1の基準信号よりも周期の長い第2の基準信号に応じて前記発振クロックの位相を制御する第2のループと、を備え、

前記第2のループは、前記第1の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まるまでの期間に、前記電圧制御発振器に一定電圧を与え、前記第1の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まった後は、前記第2の基準信号と前記発振クロックとの位相差に応じた電圧を前記電圧制御発振器に与えて前記発振クロックの位相の制御を行うことを特徴とするPLL回路。

【請求項2】 請求項1に記載のPLL回路において、
前記第2のループは、
互いに電圧値の異なる複数の電圧を生成する電圧生成部と、
制御信号に応じて前記電圧生成部の出力電圧を選択するデコーダと、を備え、
前記第1の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まるまでの期間に、前記デコーダで選択された前記電圧生成部の出力電圧を前記電圧制御発振器に与えることを特徴とするPLL回路。

【請求項3】 請求項1に記載のPLL回路において、
前記電圧制御発振器は、
前記第1及び第2のループに対応した2つの入力端子と、
該2つの入力端子への印加電圧に応じて発振出力するリングオシレータと、を有し、

前記第1のループは、前記第1の基準信号と前記発振クロックとの周波数の差に応じた電圧を前記電圧制御発振器の一方の入力端子に印加し、

前記第2のループは、前記第2の基準信号と前記発振クロックとの位相差に応

じた電圧を前記電圧制御発振器の他方の入力端子に印加することを特徴とする PLL 回路。

【請求項 4】請求項 1 に記載の PLL 回路において、

前記第 1 のループは、

前記第 1 の基準信号と前記発振クロックとの周波数の差に応じた信号を出力する位相比較器と、

該位相比較器の出力に応じて電流を制御するチャージポンプと、を備え、

前記チャージポンプは、駆動能力の切り替えが可能に設定され、前記第 1 の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まった後に、駆動能力を低下させることを特徴とする PLL 回路。

【請求項 5】請求項 4 に記載の PLL 回路において、

前記第 1 のループは、

前記位相比較器として、前記第 1 の基準信号及び前記発振クロックの立ち上がりタイミングの差に応じた信号を出力する立ち上がり比較部と、前記第 1 の基準信号及び前記発振クロックの立ち下がりタイミングの差に応じた信号出力する立ち下がり比較部と、を有し、

前記チャージポンプが、前記立ち上がり比較部及び前記立ち下がり比較部のそれぞれに対応して設けられ、

前記チャージポンプの出力を合成する加算器を備えることを特徴とする PLL 回路。

【請求項 6】回転制御されるディスク媒体から得られる位置情報を示す第 1 の信号及び前記第 1 の信号よりも周期の長い第 2 の信号に基づいてデータの書き込みクロックを生成するデータ記録制御装置において、

制御電圧に応じた発振クロックを出力する電圧制御発振器と、

前記第 1 の信号に応じて前記発振クロックの周波数を制御する第 1 のループと

前記第 2 の信号に応じて前記発振クロックの位相を制御する第 2 のループと、を備え、

前記第 2 のループは、前記第 1 の信号と前記発振クロックとの周波数の差が所

定の範囲内に収まるまでの期間に、前記電圧制御発振器に一定電圧を与え、前記第 1 の信号と前記発振クロックとの周波数の差が所定の範囲内に収まった後は、前記第 2 の信号と前記発振クロックとの位相差に応じた電圧を前記電圧制御発振器に与えて前記発振クロックの位相の制御を行うことを特徴とするデータ記録制御装置。

【請求項 7】請求項 6 に記載のデータ記録制御装置において、
前記第 2 のループは、
互いに電圧値の異なる複数の電圧を生成する電圧生成部と、
制御信号に応じて前記電圧生成部の出力電圧を選択するデコーダと、を備え、
前記第 1 の信号と前記発振クロックとの周波数の差が所定の範囲内に収まるまでの期間に、前記デコーダで選択された前記電圧生成部の出力電圧を前記電圧制御発振器に与えることを特徴とするデータ記録制御装置。

【請求項 8】請求項 6 に記載のデータ記録制御装置において、
前記電圧制御発振器は、
前記第 1 及び第 2 のループに対応した 2 つの入力端子と、
該 2 つの入力端子への印加電圧に応じて発振出力するリングオシレータと、を有し、
前記第 1 のループは、前記第 1 の信号と前記発振クロックとの周波数の差に応じた電圧を前記電圧制御発振器の一方の入力端子に印加し、
前記第 2 のループは、前記第 2 の信号と前記発振クロックとの位相差に応じた電圧を前記電圧制御発振器の他方の入力端子に印加することを特徴とするデータ記録制御装置。

【請求項 9】請求項 6 に記載のデータ記録制御装置において、
前記第 1 のループは、
前記第 1 の信号と前記発振クロックとの周波数の差に応じた信号を出力する位相比較器と、
該位相比較器の出力に応じて電流を制御するチャージポンプと、を備え、
前記チャージポンプは、駆動能力の切り替えが可能に設定され、前記第 1 の信号と前記発振クロックとの周波数の差が所定の範囲内に収まった後に、駆動能力

を低下させることを特徴とするデータ記録制御装置。

【請求項 1 0】請求項 9 に記載のデータ記録制御装置において、

前記第 1 のループは、

前記位相比較器として、前記第 1 の信号及び前記発振クロックの立ち上がりタイミングの差に応じた信号を出力する立ち上がり比較部と、前記第 1 の信号及び前記発振クロックの立ち下がりタイミングの差に応じた信号を出力する立ち下がり比較部と、を有し、

前記チャージポンプが、前記立ち上がり比較部及び前記立ち下がり比較部のそれぞれに対応して設けられ、

前記チャージポンプの出力を合成する加算器を備えることを特徴とするデータ記録制御装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、例えばディスク媒体の記録制御等に使用するクロックを生成する PLL 回路及びデータ記録制御装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、記録媒体として光ディスク等、ディスク媒体が普及してきている。こうしたディスク媒体の中には、データの記録が可能な媒体も存在する。例えば、DVD-R (Digital Versatile Disc-Recordable) 及び DVD-RW (Digital Versatile Disc-Rewritable) がそれである。

【 0 0 0 3 】

この DVD-R/RW は、ディスクの平坦面 (ランド) に形成されるグルーブとよばれる溝によって構成されるトラックを備えている。このグルーブはわずかに蛇行 (ウォブル) して形成されており、この蛇行から、所定の周期を有するウォブル信号が取り出される。このウォブルは、上記 DVD のデータフォーマットの所定のデータ長のデータ記録領域に対応して形成されている。

【 0 0 0 4 】

また、このディスク媒体には、ウォブルに加えてランドプリピット（L P P）とよばれるディスク位置情報を含む領域が、トラック上に所定の間隔で設けられている。このL P Pの再生を通じて取得されるL P P信号は、基本的には、上記ウォブル信号の16パルスに1～3パルスの割合となる。そして、このL P P信号から、そのディスク位置情報を取得することができる。

【0005】

一方、こうしたディスク媒体を回転制御するとともに、同回転制御されるディスク媒体ヘレーザを照射することでこれにデータを記録する際には、この記録動作を、ディスク媒体の回転動作に対応した基準クロックに基づいて行うことが望ましい。このように、回転制御されるディスク媒体の回転動作に対応した基準クロックを用いることで、例えばディスク媒体上に記録される1ビットのデータの記録領域を一定にすることができる等、データの記録制御を的確に行うことができる。

【0006】

そして、この回転制御されるディスク媒体の回転動作に対応した基準クロックは、上記ウォブル信号を再生するとともに、P L L回路を用いてこのウォブル信号と同期したパルス信号を生成することで取得することができる。すなわち、電圧制御発振器を通じて発振制御されるクロックとウォルブ信号とを位相比較器で位相比較し、これら2つの信号の周波数差に応じた電圧を電圧制御発振器にフィードバックすることで、同電圧制御発振器から発振出力されるクロックをウォブル信号に同期したものとすることができる。

【0007】

【発明が解決しようとする課題】

ところで、こうしたP L L回路を用いてディスク媒体の回転動作に対応した基準クロックを生成する際には、上記ウォブル信号よりも、上記L P P信号を用いることが望まれることがある。ただし、上述したように、L P P信号はウォルブ信号と比較してパルスとしての出現頻度が低いことに加え、ウォブル信号の1パルスに1～3回といった具合に、ウォルブ信号の16パルスに対して必ずしも同じ回数だけ出現するものではないため、これと正確に同期したクロックを生成す

ることは困難である。

【0008】

なお、上記LPP信号やウォブル信号に限らず、2つの異なる周波数を有する信号が混在する状況下において、そのパルスの出現頻度が低いために同期をとることが困難な信号に同期したクロックを生成しようとする場合には、こうした実情も概ね共通したものとなっている。

【0009】

本発明は上記実情に鑑みてなされたものであり、その目的は、互いに異なる周波数を有する信号が混在する状況下、そのパルスの出現頻度が低いために同期をとることが困難な信号に同期したクロックを生成することのできるPLL回路及びデータ記録制御装置を提供することにある。

【0010】

【課題を解決するための手段】

この発明は、制御電圧に応じた発振クロックを出力する電圧制御発振器と、第1の周期を有する第1の基準信号に応じて前記発振クロックの周波数を制御する第1のループと、前記第1の基準信号よりも周期の長い第2の基準信号に応じて前記発振クロックの位相を制御する第2のループと、を備え、前記第2のループは、前記第1の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まるまでの期間に、前記電圧制御発振器に一定電圧を与え、前記第1の基準信号と前記発振クロックとの周波数の差が所定の範囲内に収まった後は、前記第2の基準信号と前記発振クロックとの位相差に応じた電圧を前記電圧制御発振器に与えて前記発振クロックの位相の制御を行うことで、互いに異なる周波数を有する信号が混在する状況下、そのパルスの出現頻度が低いために同期をとることが困難な信号に同期したクロックを生成することを可能とする。

【0011】

【発明の実施の形態】

以下、本発明にかかるPLL回路及びデータ記録制御装置をDVD-Rのデータ記録制御装置及び同装置内のPLL回路に適用した一実施形態について、図面を参照しつつ説明する。

【 0 0 1 2 】

図 1 は、上記データ記録制御装置の構成を示すブロック図である。

上記データ記録制御装置の記録対象となるディスク媒体である光ディスク 1 は、データを書き込む（記録する）ことが可能なディスク媒体である DVD-R ディスクである。この光ディスク 1 には、同ディスク内の案内溝として機能するプリグループが螺旋状に形成されているとともに、螺旋状に形成されたプリグループに近接してランドプリピット（以下、LPP）が形成されている。

【 0 0 1 3 】

このうち、上記プリグループは、光ディスク 1 上を蛇行しつつ形成されている。この蛇行（ウォブル）成分の有する信号は、「140.6kHz」の周波数を有する。一方、上記 LPP は、光ディスク 1 に螺旋状に形成されているプリグループに沿って所定の間隔で形成されている。この間隔は、上記ウォブル信号の約 16 パルスに 1 パルスの割合の信号が得られる間隔に設定されている。この LPP の再生に基づいて得られる信号が LPP 信号である。

【 0 0 1 4 】

一方、上記データ記録制御装置は、光学ヘッド 10 や RF アンプ 20、デコーダ 30、クロック生成装置 100 を備えている。ここで、光学ヘッド 10 は、光ディスク 1 にレーザを照射すると共に、光ディスク 1 に照射されたレーザの反射光を受光する回路である。また、RF アンプ 20 は、光学ヘッド 10 において受光された反射光から 2 値のデジタル信号を生成する回路である。更に、デコーダ 30 は、RF アンプ 20 にて生成されたデジタル信号をデコードし、上記ウォブル信号や LPP 信号を生成する回路である。

【 0 0 1 5 】

そして、本実施形態にかかるクロック生成装置 100 は、こうしたウォブル信号や LPP 信号に基づいて当該データ記録装置において用いられるクロックを生成する回路である。詳しくは、LPP 信号の周波数の分周比「1/5952」で分周されたクロックを、換言すれば各 LPP 信号のパルス間に 5952 のパルスを有するクロックを生成する。これにより、クロックは、「52.32MHz」の周波数を有する信号となる。

【 0 0 1 6 】

上記クロック生成装置 1 0 0 では、発振クロックを、ウォブル信号とほぼ周波数同期させる処理を行った後、L P P 信号に基づいて同クロックの位相を調整する処理を行うという 2 段階の処理にて、こうした L P P 信号に位相同期したクロックの生成を行う。具体的には、ウォブル信号と発振クロックとの周波数の差が所定の範囲内に収まる程度に小さくなった後に、L P P 信号に基づく発振クロックの位相制御を行うようにする。これは、上述したように L P P 信号の頻度がウォブル信号の頻度と比較して低いことやデータ記録時においてディスク媒体に形成されている L P P が欠落するなどにより、この L P P 信号に同期したクロックを生成することが困難であることによる。このため本実施形態では、ウォブル信号に基づいてクロックの粗調整を行った後に、L P P 信号に基づいて微調整を行うことで、L P P 信号に位相同期したクロックを生成する。

【 0 0 1 7 】

こうした制御を行う上記クロック生成装置 1 0 0 は、図示するように、その出力するクロックの分周器 1 0 5 による分周クロックをウォブル信号と周波数同期させる第 1 のループ A と、同じく出力するクロックの分周クロックを L P P 信号に位相同期させる第 2 のループ B との 2 つの位相ロックループを備えている。そして、これら第 1 のループ A と第 2 のループ B とは、当該クロック生成装置 1 0 0 において生成される上記クロックを出力する電圧制御発振器 1 1 0 を共有している。この電圧制御発振器 1 1 0 は、2 つの制御電圧入力端子 a, b を備えており、これら各制御電圧入力端子には、上記分周クロックとウォブル信号との周波数差に応じた電圧と、同分周クロックと L P P 信号との位相差に応じた電圧とがそれぞれ印加される。

【 0 0 1 8 】

ここで、上記第 1 のループ A と第 2 のループ B とで共有される電圧制御発振器 1 1 0 について説明する。

図 2 は、電圧制御発振器 1 1 0 の構成を示す回路図である。

【 0 0 1 9 】

同図 2 に示すように、この電圧制御発振器 1 1 0 は、第 1 の電流源 1 1 2、第

2の電流源114、ゲイン制御回路115、制御電圧発生回路116、及びリングオシレータ118を備えている。

【0020】

ここで、第1の電流源112は、制御電圧入力端子aから入力される制御電圧に対応した制御電流にてリングオシレータ118を駆動するに際してのゲイン調整を行う部分である。詳しくは、この第1の電流源112は、PチャネルトランジスタT_{ip}からなる出力側電流経路及びこれに直列に接続されたスイッチSW_iを複数備え、これらが電源電圧VDDの電源と第1の電流源112の出力との間に互いに並列接続されている。ここで、スイッチSWは、上記ゲイン制御回路115によって電源及び出力間の導通及び遮断を制御する回路である。そして、これにより、互いに並列接続されている出力側電流経路の使用段数が設定される。

【0021】

更に、第1の電流源112は、電源電圧VDD及び接地間に互いに直列接続されているNチャネルトランジスタT_{an}及びこれに直列に接続されたPチャネルトランジスタT_{ap}からなる入力側電流経路を備えている。そして、制御電圧入力端子aを介して上記NチャネルトランジスタT_{an}のゲートに印加される制御電圧の大きさに応じて、これと直列に接続されたPチャネルトランジスタT_{ap}を流れる電流量を決定し、ゲートの電圧が決定する。そして、PチャネルトランジスタT_{ap}とカレントミラー接続されたPチャネルトランジスタT_{ip}のゲートにPチャネルトランジスタT_{ap}のゲート電圧と同じ電圧が印加される。更に、このPチャネルトランジスタT_{ip}と並列接続されたPチャネルトランジスタT_{ip}のゲートにも同じ電圧が印加され、ソース及びドレイン間を流れる電流量が決定される。したがって、制御電圧入力端子aに印加される制御電圧の大きさに応じて、第1の電流源112から出力される電流量が制御される。

【0022】

また、第2の電流源114も、上記第1の電流源112と同様の構成を有する回路である。ただし、この第2の電流源114は、制御電圧入力端子bから入力される制御電圧に対応した制御電流にてリングオシレータ118を駆動するに際

してのゲイン調整を行う部分である。このため、制御電圧入力端子 b に印加される制御電圧の大きさに応じて、その出力する電流量が制御される。

【 0 0 2 3 】

ゲイン制御回路 1 1 5 は、レジスタ 1 1 5 a に格納されるモードデータに応じて第 1 の電流源 1 1 2 や第 2 の電流源 1 1 4 を切替制御する回路である。すなわち、ゲイン制御回路 1 1 5 は、第 1 の電流源 1 1 2 のスイッチ S W i 及び第 2 の電流源 1 1 4 のスイッチ S W k を選択的に開閉することで、各制御電圧入力端子 a、b への印加電圧の変化に対する第 1 及び第 2 の電流源 1 1 2、1 1 4 の出力電流の変化度合いを変更する。

【 0 0 2 4 】

制御電圧発生回路 1 1 6 は、各電流源 1 1 2 及び 1 1 4 から出力される電流信号を電圧信号に変換する回路である。この制御電圧発生回路 1 1 6 は、N チャンネルトランジスタ T 1 n、T 2 n 及び P チャンネルトランジスタ T 3 p 及び T 4 p からなる 2 段のカレントミラー回路から構成されている。そして、P チャンネルトランジスタ T 4 p 及び 2 段目のカレントミラー回路に直列接続される N チャンネルトランジスタ T 5 n のゲートバイアス電圧をリングオシレータ 1 1 8 に出力する。

【 0 0 2 5 】

リングオシレータ 1 1 8 は、電源電圧 V D D と接地との間で給電可能に接続されたインバータ I V が奇数段直列に接続されて構成された回路である。そして、これら各インバータ I V へ供給される電流量が、上記制御電圧入力端子 a 及び制御電圧入力端子 b に印加される制御電圧に応じて制御される。詳しくは、上記電源電圧 V D D と各インバータ I V との間には、P チャンネルトランジスタ T j p がそれぞれ接続されており、また、各インバータ I V と接地点の間には N チャンネルトランジスタ T j n がそれぞれ接続されている。そして、上記第 1 の電流源 1 1 2 及び第 2 の電流源 1 1 4 の出力電流に応じた電圧が制御電圧発生回路 1 1 6 を介してこれらインバータ I V へ流れ込む電流量を制御するトランジスタ T j p、T j n に印加される。

【 0 0 2 6 】

ここで、電圧制御発振器 1 1 0 の特性について説明する。

図 3 は、上記制御電圧入力端子 a へ印加される制御電圧と電圧制御発振器 1 1 0 の発振周波数との関係を示す図である。図 3 において、曲線 f 1 は、制御電圧入力端子 b に印加される電圧が「0」とされたときの曲線である。同図 3 に示されるように、制御電圧入力端子 a へ印加される制御電圧が大きいほど発振周波数が上昇する。

【0027】

また、曲線 f 2 ~ f 4 は、制御電圧入力端子 b へ電源電圧 VDD を印加したときについて、先の図 2 にした第 2 の電流源 1 1 4 において使用される出力側電流経路の段数がそれぞれ「1」個 ~ 「3」個であるときについての曲線である。同図 3 に示すように、制御電圧入力端子 a へ印加される制御電圧が一定であるときには、第 2 の電流源 1 1 4 における上記出力側電流経路の使用段数が多いほど発振周波数が上昇する。

【0028】

そして、制御電圧入力端子 a へ印加する制御電圧が一定という条件の下、制御電圧入力端子 b へ印加する電圧を可変としたときの発振周波数の帯域幅は、先の図 2 に示した第 2 の電流源 1 1 4 において能動とされる出力側電流経路の段数が多いほど広がる ($\Delta A < \Delta B < \Delta C$)。

【0029】

したがって、先の図 2 に示した第 2 の電流源 1 1 4 において能動とされる出力側電流経路の段数を所定個「n」に固定した場合、制御電圧入力端子 a 及び制御電圧入力端子 b に印加される電圧を可変としたときの電圧制御発振器 1 1 0 の発振周波数帯域は、図 4 に斜線で示す帯域となる。

【0030】

更に、制御電圧入力端子 b に印加される電圧を「0」とする条件の下、先の図 2 に示した第 1 の電流源 1 1 2 において能動とされる出力側電流経路の段数を変更した場合の制御電圧入力端子 a へ印加する電圧と発振周波数との関係は図 5 に例示されるようになる。ここで、第 1 の電流源 1 1 2 において使用される出力側電流経路の段数は、曲線 f 1'、曲線 f 1、曲線 f 1'' の順で多くなっている。同図 5 に示すように、第 1 の電流源 1 1 2 において使用される上記出力側電流

経路の段数が多いほど、制御電圧入力端子aに印加する電圧の変化に対する発振周波数の上昇度合いが大きくなる。

【 0 0 3 1 】

なお、これら図3～図5において模式的に示す性質は、制御電圧入力端子aと制御電圧入力端子bとの役割を逆にしたときにも同様となる。

こうした2つの制御電圧入力端子aと制御電圧入力端子bとを備える電圧制御発振器110において、本実施形態では、制御電圧入力端子aには、先の図1に示したローパスフィルタ142の出力電圧V_aを、また、制御電圧入力端子bには、同図1に示したローパスフィルタ170の出力電圧V_bをそれぞれ印加する。そしてこれにより、制御電圧入力端子aを通じて電圧制御発振器110の発振するクロック（正確にはその分周クロック）をウォブル信号に周波数同期させるとともに、制御電圧入力端子bを通じて上記クロック（正確にはその分周クロック）をLPP信号に位相同期させる。すなわち、図6（a）に示すように制御電圧入力端子a側にて発振周波数の粗調整を行うとともに、図6（b）に示すように制御電圧入力端子b側にて発振周波数の微調整を行う。

【 0 0 3 2 】

次に、この電圧制御発振器110の発振周波数についての第1のループAによる粗調整、及び第2のループBによる微調整を行う回路について更に説明する。

ここで、上記第1のループAについて更に説明する。

【 0 0 3 3 】

この第1のループAでは、電圧制御発振器110の発振するクロックの分周クロックとウォブル信号との立ち上がりエッジ及び立ち下がりエッジのそれぞれを比較し、この比較結果に基づいて電圧制御発振器110を制御するものである。このように立ち上がりエッジ及び立ち下がりエッジの双方を用いるのは、以下の理由による。

【 0 0 3 4 】

図7に示されるように、レーザによって読み取られる上記ディスク媒体のウォブルに対応した信号（図7（a））は、上記RFアンプ20にて2値化されウォブル信号となる（図7（b））。このウォブル信号はそのデューティ比が変化する

るため、上記分周クロックとウォブル信号との位相差に基づいて上記電圧制御発振器 1 1 0 を制御する際に、同制御がこのデューティ比の変化の影響を受けるおそれがある。

【 0 0 3 5 】

しかしながら、ウォブル信号は、図 7 (d) に示されるように、パルス幅 W_h が変化するにもかかわらず、各パルスの中心間の周期 T_w や位相は保持される。したがって、このパルス中心の周期 T_w 及び位相と、上記分周クロックのパルス中心の周期及び位相とに基づいて同電圧制御発振器 1 1 0 を制御することで、デューティ比の変化の影響を回避することができる。

【 0 0 3 6 】

具体的には、先の図 1 に示す第 1 のループ A においては、まず、立ち上がり比較部 1 2 0 a 及び立ち下がり比較部 1 2 0 b において、ウォブル信号と上記分周クロックとの立ち上がり及び立ち下がりが比較される。そして、これら比較結果に基づく信号が、チャージポンプ 1 3 0 a 及びチャージポンプ 1 3 0 b にて所定の出力に変換される。これら出力の変換された信号は、加算器 1 4 0 で合成され、ローパスフィルタ 1 4 2 にて平滑化された後、制御電圧として電圧制御発振器 1 1 0 の制御電圧入力端子 a に印加される。この制御電圧を通じて制御される電圧制御発振器 1 1 0 の発振するクロックの周波数は、上記分周器 1 0 5 にて分周された後、上記立ち上がり比較部 1 2 0 a 及び立ち下がり比較部 1 2 0 b に入力される。こうして電圧制御発振器 1 1 0 の発振するクロック（の分周クロック）がウォブル信号に周波数同期するよう制御される。なお、この分周器 1 0 5 の分周比は「 $1/372$ 」であり、これにより、電圧制御発振器 1 1 0 の出力信号は、「 52.32MHz 」に制御される。

【 0 0 3 7 】

ここで、チャージポンプ 1 3 0 a は、図 8 に示すように、ゲインを可変制御することのできる構成となっている。すなわち、チャージポンプ 1 3 0 a は、上記立ち上がり比較部 1 2 0 a の出力信号に応じた電流を出力する複数のチャージポンプユニット CP と、同チャージポンプユニット CP のうちのいくつかを選択的に駆動するゲイン切替回路 1 3 1 a とを備える。そして、駆動されるチャージポ

ンプユニットCPの段数が、このゲイン切替回路131aによって切り替えられることで、チャージポンプ130aのゲイン、すなわち、位相比較出力に対するチャージポンプ130aの出力電流量の度合いを切り替えることができる。

【0038】

図9に、立ち上がり比較部120a及びチャージポンプユニットCPの回路構成を例示する。図9に示されるように、チャージポンプユニットCPは、上記立ち上がり比較部120aから出力される信号に応じた信号を出力する出力部132aと、同出力部132aの出力を調整するバイアス回路133aとを備えている。ここで、出力部132aは、ウォブル信号のパルスの立ち上がりタイミングが上記分周クロックのパルスの立ち上がりタイミングよりも早い場合に、同ウォブル信号が立ち上がったときから分周クロックが立ち上がるときまでの期間、高電位の信号を出力する（チャージ動作）。また、上記分周クロックのパルスの立ち上がりタイミングがウォブル信号のパルスの立ち上がりタイミングよりも早い場合に、分周クロックのパルスが立ち上がったときからウォブル信号が立ち上がるときまでの期間、低電位の信号を出力する（ディスチャージ動作）。

【0039】

なお、チャージポンプ130aにおいて、上記チャージ動作及びディスチャージ動作を行う期間が等しいときには、これらチャージ電流及びディスチャージ電流は互いに等しくなるように設定される。

【0040】

一方、立ち上がり比較部120aでは、上記入力されるウォブル信号及び分周クロックのパルスのいずれか一方が立ち上がってから他方が立ち上がるまでの期間、チャージポンプ130aを介して所定の出力信号を出力するための制御を行う。まず、ウォブル信号及び分周クロックはそれぞれ別のフリップフロップ（F/F）に入力される。そして、入力されるパルスの立ち上がり同期してこれらフリップフロップから「H」レベル信号が出力される。また、2つのフリップフロップに入力されるパルスが両方とも立ち上がったときに、これら2つのフリップフロップをリセットすることで、チャージポンプ130aから上記信号の出力が中断される。

【 0 0 4 1 】

なお、先の図 1 に示した立ち下がり比較部 1 2 0 b 及びチャージポンプ 1 3 0 b は、上記立ち上がり比較部 1 2 0 a 及びチャージポンプ 1 3 0 a とそれぞれ同一の構成を有している。そして、図 1 に示されるように、立ち下がり比較部 1 2 0 b には、立ち上がり比較部 1 2 0 a に入力される信号がインバータを介して反転されて入力されることで、立ち下がりが検出される。

【 0 0 4 2 】

図 1 0 に、立ち上がり比較部 1 2 0 a 及び立ち下がり比較部 1 2 0 b に入力される信号と、加算器 1 4 0 の出力との関係を示す。図 1 0 に示されるように、分周クロックの立ち上がり及び立ち下がり（図 1 0 (b)）とウォブル信号のパルスの立ち上がり及び立ち下がりとは等しい場合（図 1 0 (a) の β ）には、上記加算器 1 4 0 からの出力はほぼ「0」となる。

【 0 0 4 3 】

これに対して、分周クロックのパルス幅よりもウォブル信号のパルス幅が狭まった場合（図 1 0 (a) の α ）には、分周クロックが立ち上がってからウォブル信号のパルスが立ち上がるまでの期間、上記加算器 1 4 0 から低電位の信号が出力される（ディスチャージ動作がなされる）（図 1 0 (c) の α ）。また、ウォブル信号のパルスが立ち下がってから分周クロックが立ち下がるまでの期間、上記加算器 1 4 0 から高電位の信号が出力される（チャージ動作がなされる）（図 1 0 (c) の α ）。そして、これら分周クロックが立ち上がってからウォブル信号のパルスが立ち上がるまでの期間と、ウォブル信号のパルスが立ち下がってから分周クロックが立ち下がるまでの期間とは互いに等しいため、これらディスチャージ電流とチャージ電流とは互いに等しくなる。

【 0 0 4 4 】

一方、分周クロックのパルス幅よりもウォブル信号のパルス幅が広がった場合（図 1 0 (a) の γ ）には、ウォブル信号のパルスの立ち上がりから分周クロックの立ち上がるまでの期間、上記加算器 1 4 0 から高電位の信号が出力される（チャージ動作がなされる）（図 1 0 (c) の γ ）。また、分周クロックの立ち下がりからウォブル信号のパルスが立ち下がるまでの期間、上記加算器 1 4 0 から

低電位の信号が出力される（ディスチャージ動作がなされる）（図10（c）のr）。そして、これらウォブル信号のパルスの立ち上がりから分周クロックの立ち上がるまでの期間と、分周クロックの立ち下がりからウォブル信号のパルスが立ち下がるまでの期間とは互いに等しいため、これらチャージ電流とディスチャージ電流とは互いに等しくなる。

【0045】

このように、パルス中心が等しい場合には、チャージポンプ130a及び130bにおいて、チャージ電流及びディスチャージ電流は等しくなる。したがって、ウォブル信号のパルス及び分周クロックのパルスの各パルス幅の差異に関係なく、ウォブル信号及び分周クロックのパルスの中心が一致するように制御される。

【0046】

次に、上記電圧制御発振器110の発振するクロックの分周クロックをLPP信号に位相同期させる回路である先の図1に示した第2のループBについて更に説明する。

【0047】

この第2のループBにあっては、まず、LPP信号が検出されるであろう時期を予測することで、デコーダ30からクロック生成装置100に入力されるLPP信号とノイズとを区別する処理がなされる。すなわち、指令部172において、記録開始時にLPP信号がはじめて検出された時が記憶されるとともに、例えばクロック生成装置100の出力するクロックをカウントするなどして、LPP信号が検出されてから次のLPP信号が検出されるまでの期間を推定する。そして指令部172では、LPP信号が検出されるであろう時期に同期して所定周期毎にウィンドウパルスを出力する。このウィンドウパルスのパルス幅は、LPP信号が検出される可能性のある時期をカバーする時間幅を有している。一方、LPP出力部174では、このウィンドウパルスの入力されている期間において、LPP信号が検出されたときにのみ同LPP信号が出力される。これによりノイズをLPP信号と誤検出することを回避することができるようになる。

【0048】

このLPP出力部174から出力されたLPP信号は、電圧制御発振器110の発振するクロックが分周器176にて分周された分周クロックと位相比較回路150にてその位相が比較される。この比較結果に基づく信号は、チャージポンプ160にて所定の出力レベルに変換された後、ローパスフィルタ170で平滑化される。そして、ローパスフィルタ170の出力する制御電圧信号は、上記電圧制御発振器110の制御電圧入力端子bに印加される。

【0049】

上記分周器176の分周比も、上記分周器105と同様「 $1/372$ 」であるものの、上記分周器105と比較して所定の位相だけずれたクロックを生成出力するようになっている。そして、位相比較回路150では、上記LPP出力部174からLPP信号が出力されているときのみ、同LPP信号と分周器176によって分周された分周クロックとの比較に基づく信号を出力する。このため、位相比較回路150では、電圧制御発振器110の発振するクロックを分周比「 $1/5952$ 」にて分周した分周クロックとLPP信号とを比較することとなる。そしてこれにより、電圧制御発振器110の発振するクロックの周波数が「 52.32MHz 」に制御される。

【0050】

これらLPP信号と分周クロックとの比較は、詳しくは、上記分周器176を介して電圧制御発振器110から位相比較回路150に入力されるパルスの立ち上がり、同位相比較回路150に入力されるLPP信号のパルスの中心と一致するように制御される。ちなみに、このような制御を行うためのLPP出力部174や、位相比較回路150等は、図11に例示されるような構成を有する。なお、図11において位相比較回路150の出力側に接続されるチャージポンプユニットCPは、上記チャージポンプ160内に備えられるものである。このチャージポンプ160は、先の図8に示したチャージポンプ130aと同様の構成を有する。

【0051】

ここで、先の図1に示した位相比較回路150に入力されたウィンドウパルスやLPP信号、更には分周器176から出力される分周クロック、チャージポン

プ 1 6 0 の出力の関係を図 1 2 に示す。

【 0 0 5 2 】

すなわち、上記 L P P 出力部 1 7 4 にウィンドウパルスが入力されていない期間（図 1 2 （a））においては、ノイズが混入した（図 1 2 （b））としてもこれが位相比較回路 1 5 0 に出力されることはない。これに対して、ウィンドウパルス（図 1 2 （a））が L P P 出力部 1 7 4 に入力されているときに、L P P 信号が入力される（図 1 2 （b））と、同 L P P 信号が上記位相比較回路 1 5 0 に出力される。これにより、上記チャージポンプ 1 6 0 では、位相比較回路 1 5 0 に L P P 信号が入力されてから分周クロック（図 1 2 （c））のパルスが立ち上がるまでの期間、高電位の信号を出力する（図 1 2 （d））。そして、L P P 信号のパルスが入力されている期間であって、且つ分周クロックのパルスが立ち上がっている（図 1 2 （c））期間、上記チャージポンプ 1 6 0 は低電位の信号を出力する。

【 0 0 5 3 】

ちなみに、このチャージポンプ 1 6 0 は、チャージ動作及びディスチャージ動作を行う時間が等しいときには、これらチャージ電流及びディスチャージ電流が等しくなるように設定されている。これにより、分周クロックの立ち上がりエッジが L P P 信号の中心にきたときにチャージ時間及びディスチャージ時間が等しくなるために、これらチャージ電流及びディスチャージ電流が等しくなることとなる。こうして、チャージポンプ 1 6 0 の出力信号に基づいて、電圧制御発振器 1 1 0 は、分周器 1 7 6 の分周クロックのパルスの立ち上がりが L P P 信号のパルスの中心と一致するように制御される。

【 0 0 5 4 】

特に、この第 2 のループ B による微調整によって、電圧制御発振器 1 1 0 の発振するクロックは、ウォブル信号とほぼ周波数同期しつつも、L P P 信号に位相同期したものとなる。このため、先の図 7 （c）に示す L P P 信号と図 7 （b）に示したウォブル信号の中心とが図 7 （d）に示すように変動したとしても、電圧制御発振器 1 1 0 の発振するクロックは、L P P 信号に位相同期したものに制御されることとなる。

【 0 0 5 5 】

次に、これら第1のループA及び第2のループBを用いて、ウォブル信号とほぼ周波数同期させた後、L P P 信号に位相同期させるという粗調整及び微調整の2段階の処理を行う回路について説明する。

【 0 0 5 6 】

図1に示すように、上記粗調整及び微調整を行うための回路として、本実施形態では、第1のモニタ回路180、第2のモニタ回路182、電圧発生回路184、制御回路186を備えている。

【 0 0 5 7 】

ここで、第1のモニタ回路180は、ウォブル信号と分周器105にて分周された分周クロックとを取り込み、第1のループAによるこれらウォブル信号と分周クロックとの周波数同期が完了したか否かをモニタする回路である。

【 0 0 5 8 】

また、第2のモニタ回路182は、L P P 信号及び分周器176にて分周された分周クロックとを取り込み、第2のループBによるこれらL P P 信号と分周クロックとの状態をモニタする回路である。

【 0 0 5 9 】

更に、電圧発生回路184は、所定の直流電圧を発生する回路である。この回路は、図13にその構成を例示するように、互いに電圧値の異なる複数の電圧を生成する電圧生成部184cと、入力される信号をデコードして電圧生成部184cによって生成される電圧の値を選択的に切り替えるデコーダ184dとを備えている。なお、この電圧発生回路184の生成する直流電圧は、図1に示すように、切替回路185を介してローパスフィルタ170への入力、及び非入力の切替が可能となっている。

【 0 0 6 0 】

一方、制御回路186は、これら第1のモニタ回路180、第2のモニタ回路182からの信号に加えて、外部から入力されるモード信号に応じて、上記粗調整及び微調整を行うべく、第1のモニタ回路180、第2のモニタ回路182、電圧発生回路184を制御する回路である。なお、ここでモード信号とは、デー

タを記録する速度を指定する信号であり、例えば当該データ記録制御装置においてその全体を統括的に制御するマイクロコンピュータによって指定される。

【0061】

ここで、電圧制御発振器110の発振周波数の第1のループAによる粗調整、及び第2のループBによる微調整について、上記制御回路186による制御を中心に説明する。

【0062】

この一連の処理においては、まず上記マイクロコンピュータ等から制御回路186にモード信号が入力されるとともに、先の図2に示した電圧制御発振器110のゲイン制御回路115内のレジスタ115aに、モードデータが書き込まれる。このモードデータに基づき、電圧制御発振器110では、データの記録速度（光ディスク1の回転にかかる線速度）に適したゲインとなるように、換言すればデータの記録速度に応じた発振周波数への制御に適したゲイン（駆動能力）となるように各電流源112，114が設定されることとなる。ちなみに、このゲイン調整は、データの記録速度が速くなるほどゲインを上昇させるようにすることが望ましい。

【0063】

また、図1に示す制御回路186では、チャージポンプ130a、130b、を、データの記録速度に適した駆動能力に、換言すればデータの記録速度（光ディスク1の回転にかかる線速度）に応じた発振周波数への制御に適した駆動能力に設定する。この制御回路186による各チャージポンプ130a、130bの駆動能力の設定は、先の図8に示したゲイン切替回路やそれに相当する回路に対して指令信号を出力することで行う。なお、この駆動能力の調整は、データの記録速度が速くなるほど上昇させるようにすることが望ましい。

【0064】

更に、制御回路186では、上記モード信号に基づき、上記電圧発生回路184のデコーダ184dに対し、電圧生成部184cにて生成する電圧値についての指令信号を出力する。

【0065】

加えて、制御回路 1 8 6 では、電圧発生回路 1 8 4 の出力する電圧をローパスフィルタ 1 7 0 に印加するように切替回路 1 8 5 を切り替えると共に、チャージポンプ 1 6 0 を非駆動状態とする。すなわち、先の図 8 に示す構成と同様の構成を有するチャージポンプ 1 6 0 において、全てのチャージポンプユニット C P ヘイネーブル信号を印加しないことにより、これら全てを非駆動状態とする。

【 0 0 6 6 】

これら一連の処理によってクロック生成装置 1 0 0 における初期設定が終了される。

こうした初期設定のなされた後、ウォブル信号が当該クロック生成装置 1 0 0 に入力されると、上記第 1 のループ A では、電圧制御発振器 1 1 0 の発振するクロック（実際にはそれが分周器 1 0 5 にて分周された分周クロック）とウォブル信号との周波数同期が取られる。この際、第 2 のループ B においてはチャージポンプ 1 6 0 が非駆動状態とされており、電圧制御発振器 1 1 0 の制御電圧入力端子 b には上記電圧発生回路 1 8 4 からの直流電圧、すなわち、一定電圧が印加される。このため、この時点では第 2 のループ B は開ループ制御となる。

【 0 0 6 7 】

そして、第 1 のループ A において、電圧制御発振器 1 1 0 の発振するクロックの分周クロックとウォブル信号との周波数の差が所定の範囲内に収まったことが第 1 のモニタ回路 1 8 0 を通じて検知されると、制御回路 1 8 6 では、第 2 のループ B を閉ループ制御に切り替える。すなわち、チャージポンプ 1 6 0 内の所定個のチャージポンプユニット C P を駆動状態とするとともに、上記ローパスフィルタ 1 7 0 へ電圧発生回路 1 8 4 からの電圧が印加されないように切替回路 1 8 5 を切り替える。これにより、電圧制御発振器 1 1 0 の制御電圧入力端子 b に電圧制御発振器 1 1 0 の発振するクロック（実際にはそれが分周器 1 7 6 にて分周された分周クロック）と L P P 信号との位相差に応じた電圧が印加されるようになる。

【 0 0 6 8 】

また、制御回路 1 8 6 では、この切り替えとともに、上記チャージポンプ 1 3 0 a、1 3 0 b の駆動能力を下げる制御を行う。これは、ウォブル信号と発振ク

ロックとの周波数の差が小さくなった後に、第 1 のループ A 側の重みを第 2 のループ B 側よりも軽くするためである。すなわち、ウォルブ信号に対する周期がほぼ完了した後は、第 1 のループ A 側の影響を受けにくくなり、第 2 のループ B による発振クロックの微調整を適切に行うことができる。

【 0 0 6 9 】

更に、上述のように第 1 のループ A に基づく粗調整が行われている間、電圧発生回路 1 8 4 からの電圧を電圧制御発振器 1 1 0 の制御電圧入力端子 b に印加することで、第 2 のループ B による微調整への切替の円滑化を図る。すなわち、チャージポンプ 1 6 0 を非駆動状態から駆動状態へ切り替えることで電圧制御発振器 1 1 0 の制御電圧入力端子 b に印加される電圧値が急変することによる発振周波数の急変を回避する。

【 0 0 7 0 】

なお、電圧発生回路 1 8 4 に基づく制御電圧入力端子 b への印加電圧は、第 2 のループ B によって電圧制御発振器 1 1 0 の発振するクロックと L P P 信号との位相同期が取られたときに制御電圧入力端子 b に印加されると想定される電圧と略等しくなるように設定することが望ましい。これにより、チャージポンプ 1 6 0 を非駆動状態から駆動状態へ切り替えることに起因する電圧制御発振器 1 1 0 の制御電圧入力端子 b に印加される電圧値の変化を極力抑制することができる。

【 0 0 7 1 】

また、この電圧発生回路 1 8 4 に基づく制御電圧入力端子 b への印加電圧は、制御電圧入力端子 b に印加される電圧の最大値と最小値との略中間とされることが望ましい。

【 0 0 7 2 】

以上説明した本実施形態によれば以下の効果が得られるようになる。

(1) 第 1 のループ A にてウォブル信号と発振クロックとの周波数差が所定の範囲内に収まるまで電圧制御発振器 1 1 0 の制御電圧入力端子 b に電圧生成部 1 8 4 c にて生成される一定電圧電圧を印加するようにした。そして、上記周波数差が所定の範囲内に収まった後は、L P P 信号と分周クロックとの位相差に応じた電圧を制御電圧入力端子 b へ印加するようにした。このように制御電圧入力端

子bへ印加する電圧を切り替えることで、第2のループBを開ループ制御から閉ループ制御に切り替える際の電圧制御発振器110の発振周波数の変化を抑制することができるようになる。

【0073】

(2) 電圧発生回路184において互いに電圧値の異なる複数の電圧を生成可能とすることで、光ディスク1の回転速度等に応じてそれぞれ適切な電圧を制御電圧入力端子bへ印加することができる。

【0074】

(3) 2つの制御電圧入力端子a、bを備えて電圧制御発振器110を第1のループA及び第2のループBにて共有した。これにより、当該クロック生成装置100の回路規模を低減することができるようになる。

【0075】

(4) 電圧制御発振器110が第1の電流源112、114を備える構成とすることで、光ディスク1の回転速度の設定等に応じて当該電圧制御発振器110の特性を可変とすることができる。

【0076】

(5) 第1のループAの備えるチャージポンプ130a、130bのゲインを可変とする構成とするとともに、このゲインを粗調整から微調整へ切り替える際に低下させるようにした。これにより、第2のPLL回路による微調整を好適に行うことができるようになる。

【0077】

(6) LPP信号が検出される時期を指令部172で予測し、この予測される時期にのみ位相比較回路150での処理が許可されるために、ノイズをLPP信号と誤認することを回避することができるようになる。

【0078】

(7) 電圧制御発振器110の発振するクロックの分周クロックとウォブル信号との両パルスの立ち上がり及び立ち下がりそれぞれ比較することで、再生されるウォブル信号のデューティ比の変化の影響を排除して電圧制御発振器110を制御することができる。

【 0 0 7 9 】

なお、上記実施形態は、以下のように変更して実施してもよい。

・上記第 1 のループ A に入力される信号としては、ウォブル信号に限らず、その分周信号でもよい。

【 0 0 8 0 】

・上記第 2 のループ B に入力される信号としては、L P P 信号に限らず、その分周信号でもよい。

・必ずしも光ディスク 1 の回転速度に応じて電圧制御発振器 1 1 0 のゲインを可変設定する構成でなくてもよい。例えばこの場合、ディスク媒体の回転速度に応じて、チャージポンプ 1 3 0 a、1 3 0 b、1 6 0 や、電圧発生回路 1 8 4 の電圧を可変とすることで、当該クロック生成装置の特性を調整してもよい。この際、電圧発生回路 1 8 4 の出力電圧は、倍速記録等、光ディスク 1 の回転速度が高く設定されるほど、高い電圧に設定することが望ましい。

【 0 0 8 1 】

・電圧制御発振器 1 1 0 の構成は、図 2 に例示したものに限らない。例えばリングオシレータ 1 1 8 の各インバータ I V への給電量を制御する電流制御素子としては、N チャネルトランジスタ及び P チャネルトランジスタからなるものに限らない。

【 0 0 8 2 】

・電圧制御発振器 1 1 0 のゲインをレジスタ 1 1 5 a による初期設定としたが、これに限らず、クロック生成装置の動作中においても可変とする構成としてもよい。こうした構成は、クロック生成装置を、角速度一定のデータ記録装置に適用する場合には、特に有効である。

【 0 0 8 3 】

・立ち上がり比較部 1 2 0 a 及び立ち下がり比較部 1 2 0 b、位相比較回路 1 5 0、チャージポンプ 1 3 0 a、1 3 0 b、1 6 0 の構成としては、先の図 8 及び図 9 及び図 1 1 に例示したものに限られない。

【 0 0 8 4 】

・ウォブル信号に周波数同期したクロックを生成する第 1 のループ A における

ウォブル信号と電圧制御発振器 1 1 0 の発振するクロックとの比較態様は、上記立ち上がり及び立ち下りの両方を比較するものに限られない。例えば、立ち上りのみを用いて、ウォブル信号とほぼ同期した信号を生成するようにしてもよい。

【 0 0 8 5 】

・例えばノイズを L P P 信号と誤検出することがない場合等においては、先の図 1 に示した指令部 1 7 2 においてウィンドウパルスを生成する処理を省略してもよい。

【 0 0 8 6 】

・第 1 のループ A と第 2 のループ B とで電圧制御発振器を共有する構成にも限らない。すなわち、第 1 のループ A と第 2 のループ B とで各別の電圧制御発振器を備える構成としてもよい。こうした場合であれ、上記実施形態に準じた態様に第 2 のループ B の制御電圧入力端子へ印加する電圧を切り替えることで、第 2 のループ B を開ループ制御から閉ループ制御に切り替える際の電圧制御発振器の発振周波数の変化を抑制することはできる。

【 0 0 8 7 】

・データ記録制御装置の構成は、図 1 に例示するものに限らない。

・更に、本発明にかかる P L L 回路は、ディスク媒体のデータ記録制御装置に備えられるクロック生成装置に限られない。要は、互いに異なる周波数を有する信号が混在する状況下、そのパルスの出現頻度が低いために正確な同期をとることが困難な信号に正確に位相同期したクロックを生成することが望まれる場合には、本発明にかかるクロック生成装置の適用は有効である。

【 0 0 8 8 】

【発明の効果】

本願によれば、互いに異なる周波数を有する信号が混在する状況下、そのパルスの出現頻度が低いために同期をとることが困難な信号に同期したクロックを生成することのできるようになる。

【図面の簡単な説明】

【図 1】 本発明にかかるデータ記録制御装置を D V D - R のデータ記録制御

装置に適用した一実施形態の構成を示すブロック図。

【図 2】 同実施形態における電圧制御発振器の構成を示す回路図。

【図 3】 同実施形態における電圧制御発振器の特性を示す図。

【図 4】 同実施形態における電圧制御発振器の特性を示す図。

【図 5】 同実施形態における電圧制御発振器の特性を示す図。

【図 6】 同実施形態における電圧制御発振器の特性を示す図。

【図 7】 ウォブル信号及び L P P 信号の特性を示すタイムチャート。

【図 8】 同実施形態のチャージポンプの構成を示す図。

【図 9】 同実施形態の立ち上がり比較部及びチャージポンプユニットの構成を示す回路図。

【図 1 0】 同実施形態においてウォブル信号と周波数同期したクロックの生成態様を示すタイムチャート。

【図 1 1】 同実施形態の位相比較回路及びチャージポンプユニットの構成を示す回路図。

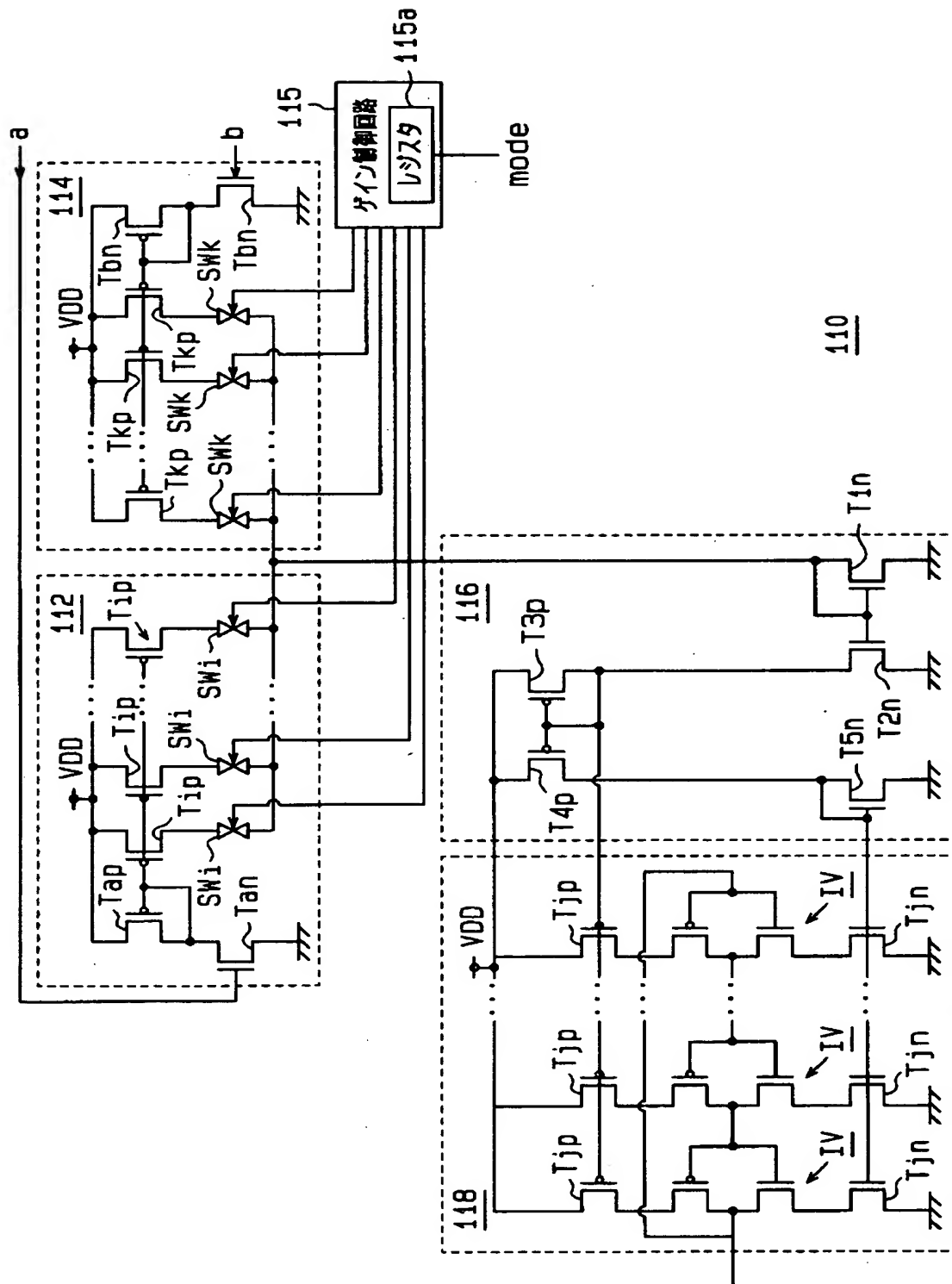
【図 1 2】 同実施形態における L P P 信号と位相同期したクロックの生成態様を示すタイムチャート。

【図 1 3】 同実施形態における電圧発生回路の構成を示す図。

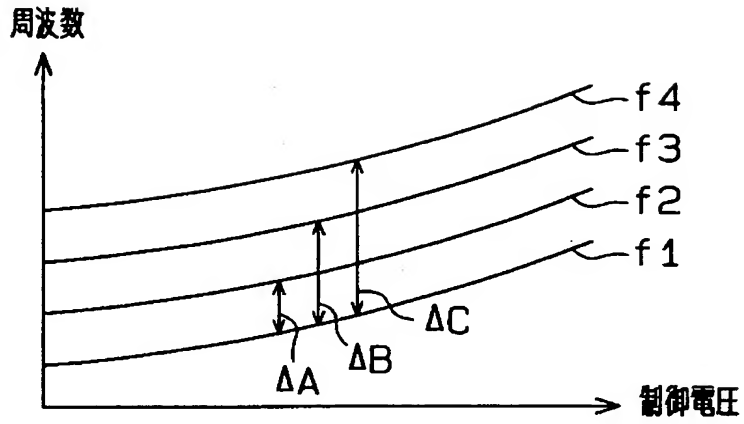
【符号の説明】

1…光ディスク、10…光学ヘッド、20…RFアンプ、30…デコーダ、100…クロック生成装置、105…分周器、110…電圧制御発振器、112、114…電流源、115…ゲイン制御回路 115 a…レジスタ、116…制御電圧発生回路、118…リングオシレータ、120 a、120 b…比較部、130 a、130 b…チャージポンプ、131 a…ゲイン切替回路、132 a…出力部、133 a…バイアス回路、140…加算器、142…ローパスフィルタ、150…位相比較回路、160…チャージポンプ、172…指令部、174…L P P 出力部、176…分周器、180、182…モニタ回路、184…電圧発生回路、185…切替回路、186…制御回路。

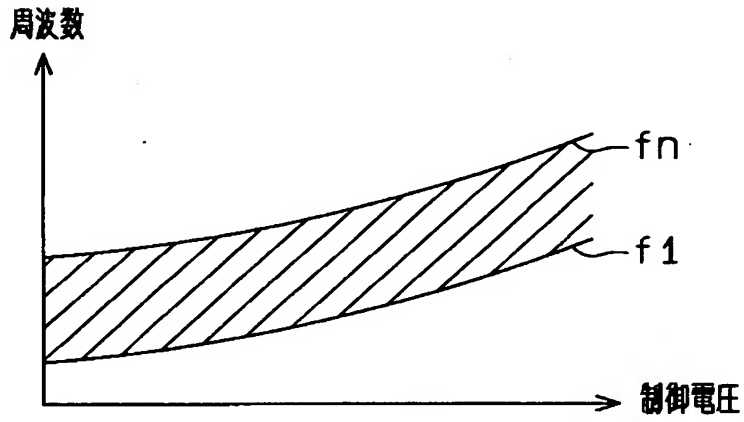
【図 2】



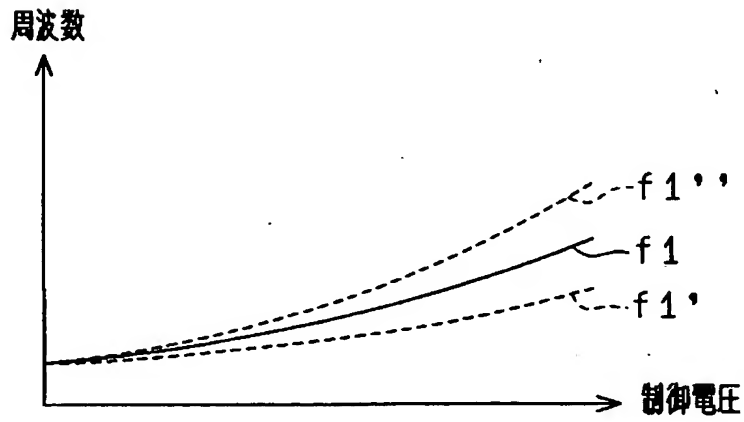
【図 3】



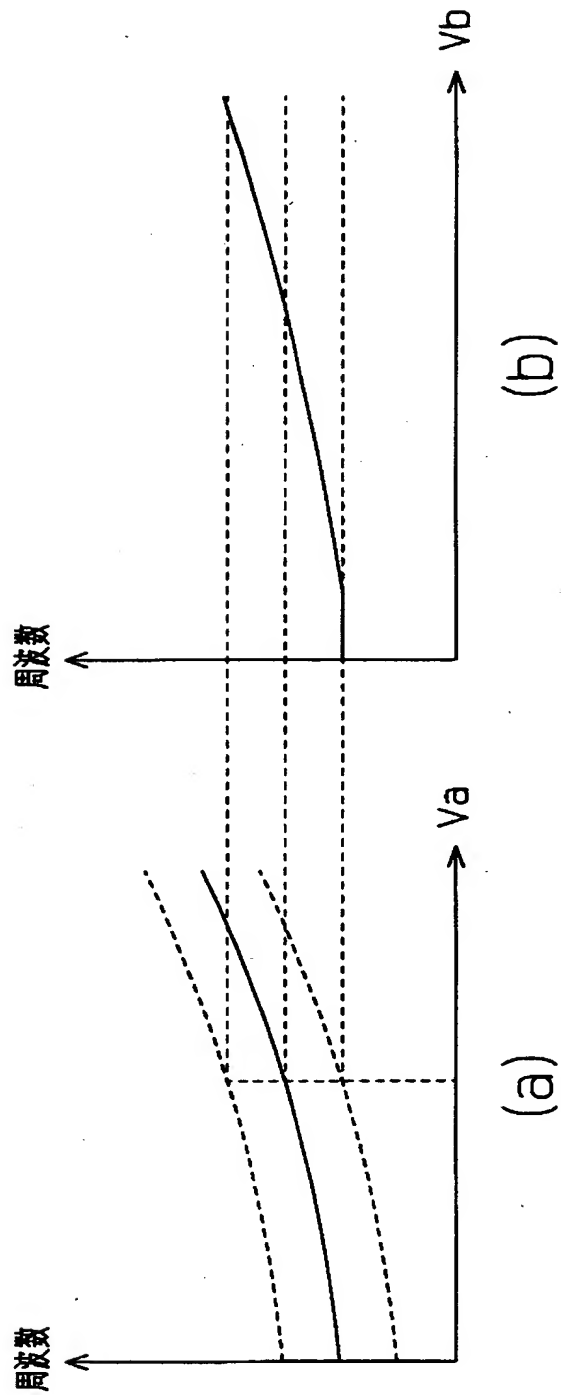
【図 4】



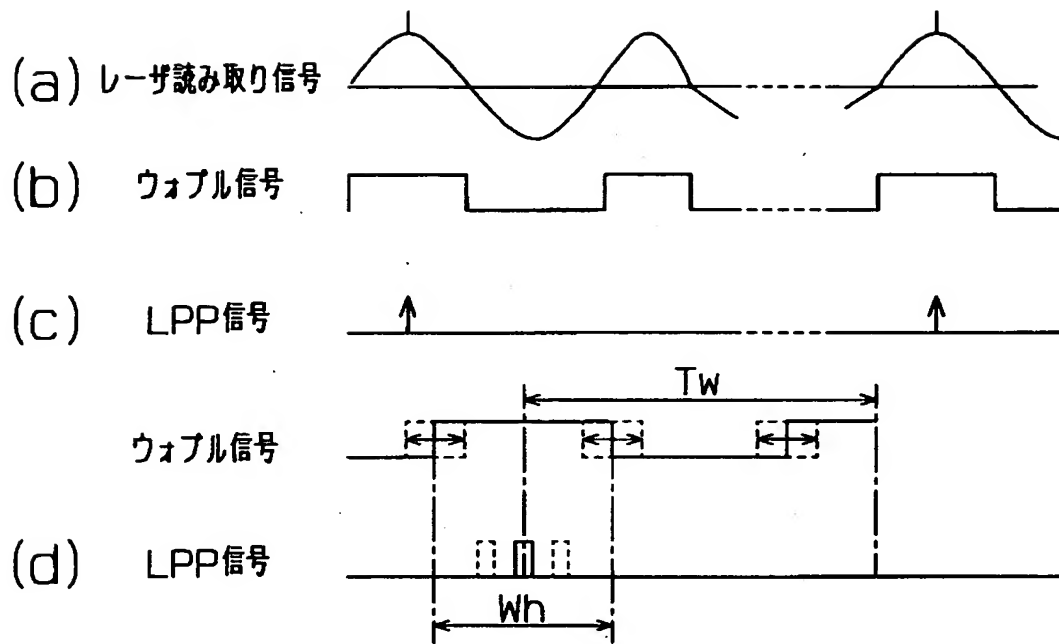
【図 5】



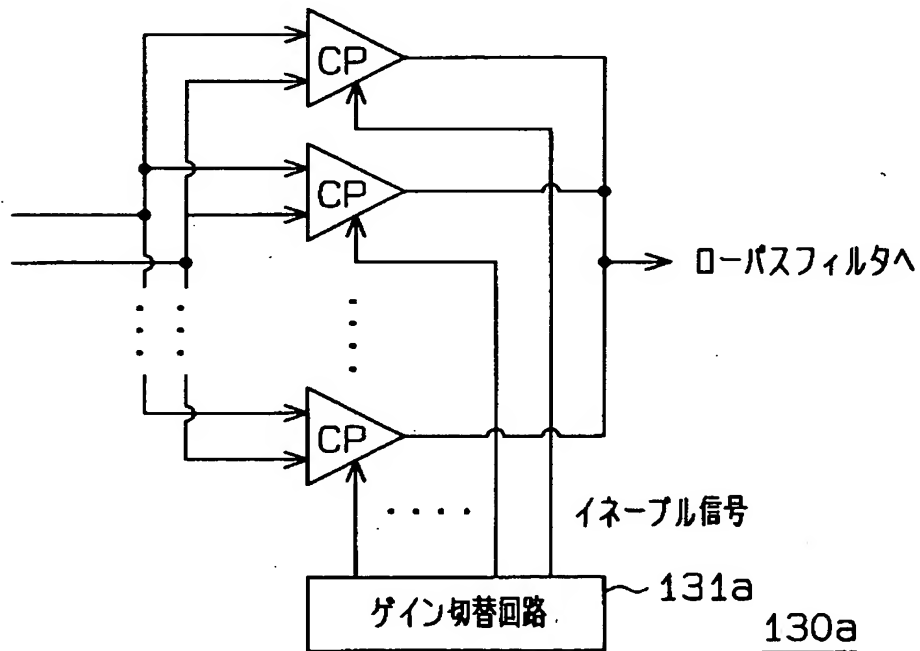
【図 6】



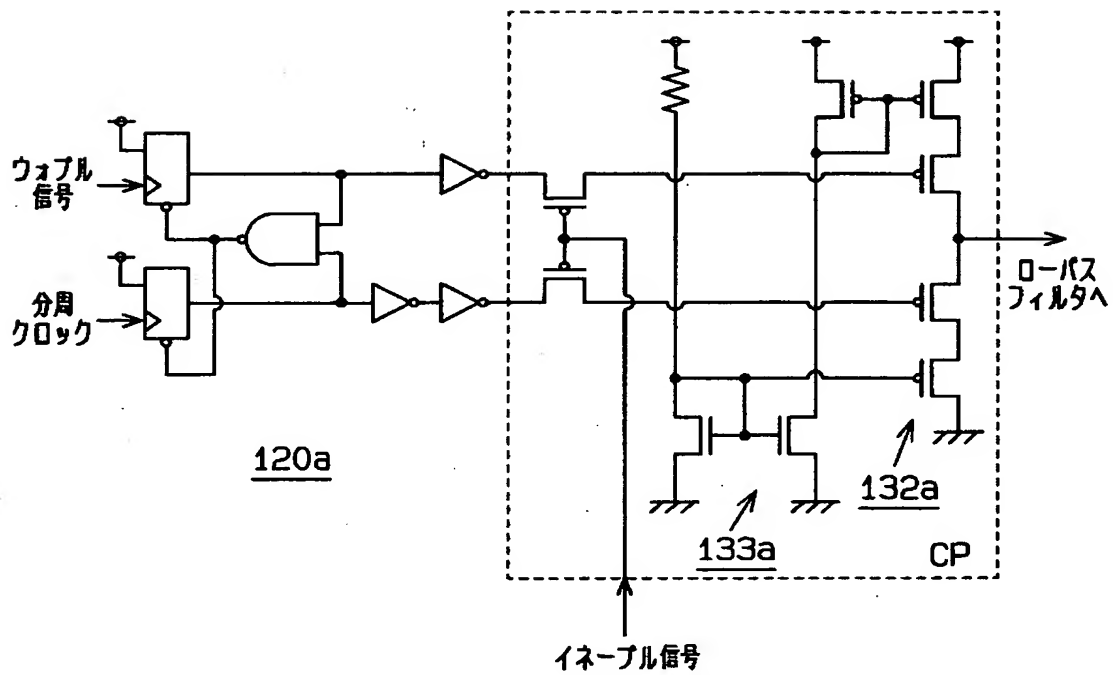
【図 7】



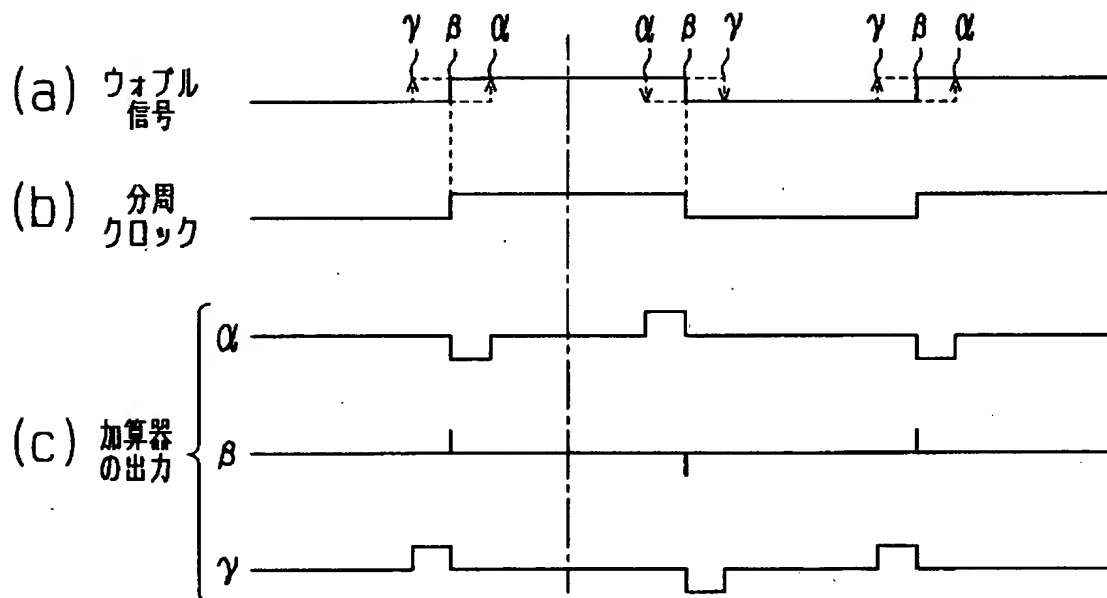
【図 8】



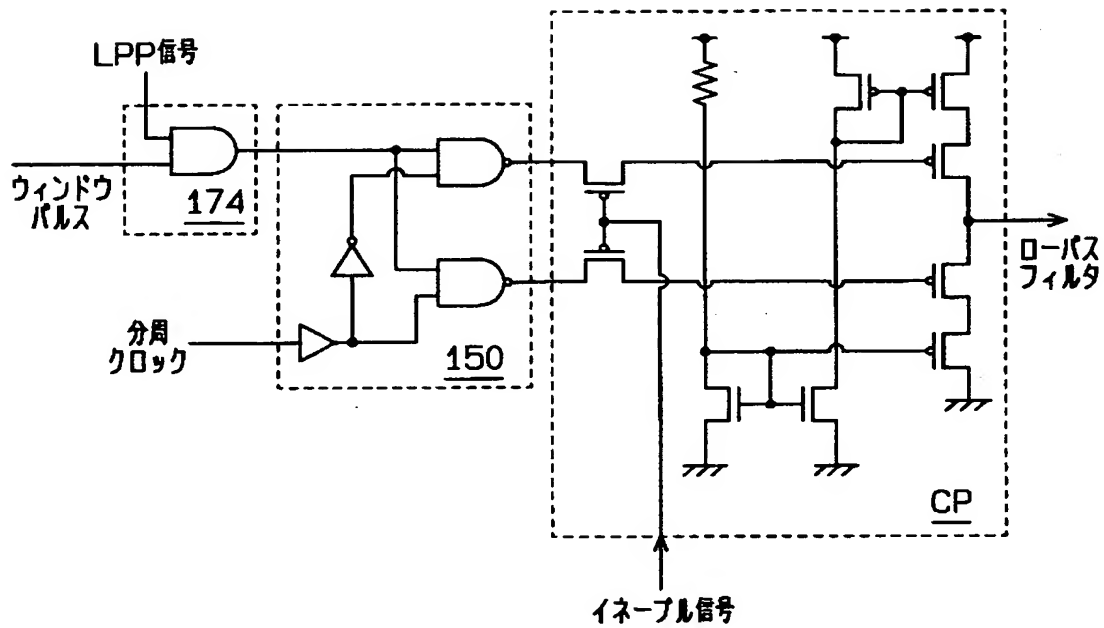
【図 9】



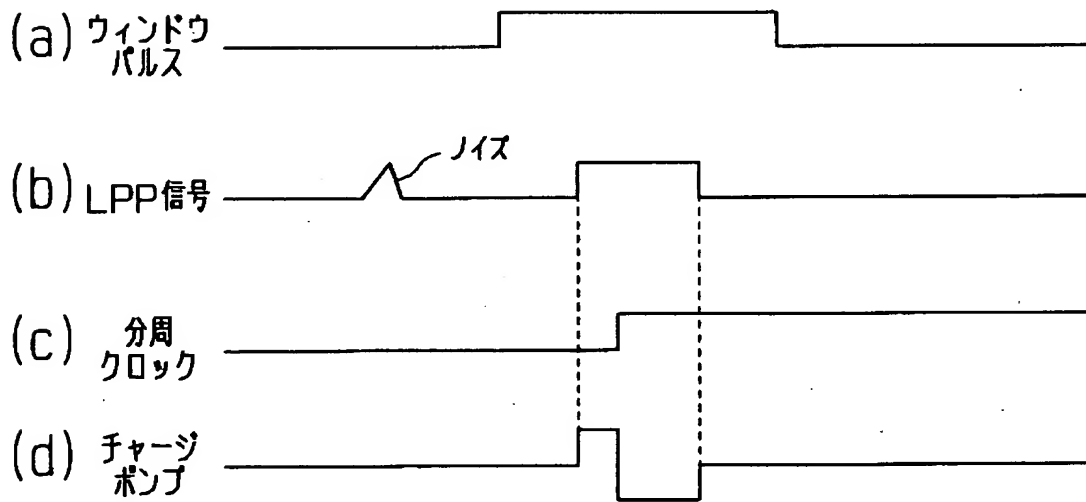
【図 1 0】



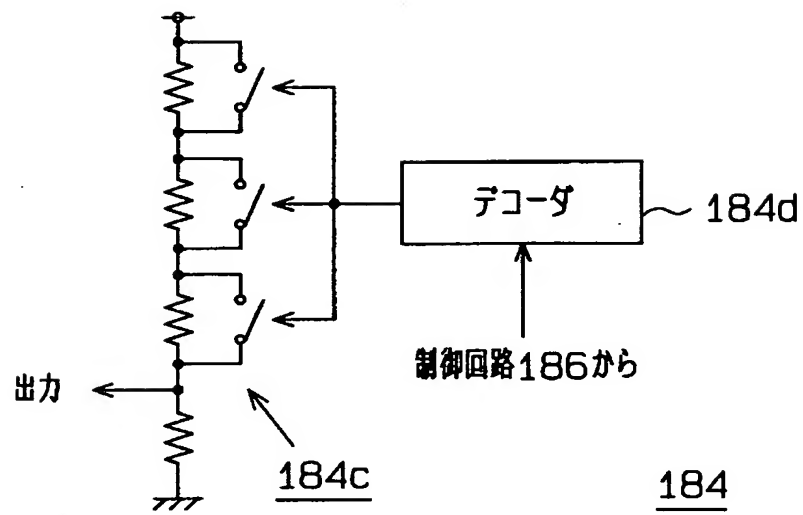
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】互いに異なる周波数を有する信号が混在する状況下、そのパルスの出現頻度が低いために同期をとることが困難な信号に同期したクロックを生成することのできるクロック生成装置を提供する。

【解決手段】第1のループAでは、電圧制御発振器110の発振クロックの分周クロックをウォブル信号に周波数同期させる。第2のループBでは、電圧制御発振器110の発振クロックの分周クロックをLPP信号に位相同期させる。第1のループAにおける周波数同期がほぼ完了するまで制御電圧入力端子bに電圧発生回路184にて生成される所定の直流電圧を印加することで同第2のループBを開ループ制御とする。そして、周波数同期が完了するとLPP信号と分周クロックとの位相差に応じた電圧を制御電圧入力端子bへ印加することで同第2のループBを閉ループ制御に切り替える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社